

03/156-22

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC978 U.S. PTO
09/873649
06/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 2000年 6月 7日

出 願 番 号
Application Number: 特願2000-170327

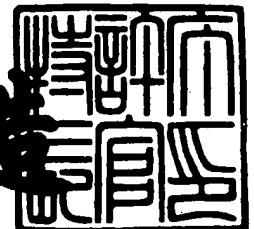
出 願 人
Applicant (s): 日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月23日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願
 【整理番号】 74210636
 【あて先】 特許庁長官殿
 【国際特許分類】 H03M 13/22
 G06F 11/10
 G06F 12/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号
 本電気株式会社内

日

【氏名】 小野 光博

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 モデム用集積回路

【特許請求の範囲】

【請求項1】 送受信データに対しエラー訂正処理、インタリーブ処理、デジタル信号処理を行うハードウェア部と、複数バンクから構成され外部インストラクションROMのキャッシュメモリとして動作するインストラクションRAMと、このインストラクションRAMにプリフェッチされたインストラクションを実行し前記ハードウェア部を制御するCPUとを備えるモデム用集積回路において、

前記CPUおよび前記ハードウェア部が前記インストラクションRAMの1部バンクを時分割共有することを特徴とするモデム用集積回路。

【請求項2】 データ送受信中に、前記ハードウェア部が前記インストラクションRAMの1部バンクをインタリーブ処理用のメモリとして分割使用する、請求項1記載のモデム用集積回路。

【請求項3】 前記外部インストラクションROMから前記インストラクションRAMにインストラクションをバンク単位でプリフェッチさせて前記インストラクションRAMを前記外部インストラクションROMのキャッシュメモリとして動作させる制御を行い且つ前記インストラクションRAMの1部バンクを前記CPUおよび前記ハードウェア部に時分割共有させる制御を行うRAMコントローラを備える、請求項1または2記載のモデム用集積回路。

【請求項4】 前記RAMコントローラが、前記ハードウェア部のインタリーブRAMインタフェースからデータ、アドレスおよび書込制御信号を入力しデータ送受信中に前記インストラクションRAMの1部バンクに切り替え出力し、前記インストラクションRAMの1部バンクのデータ出力を選択して前記ハードウェア部のインタリーブRAMインタフェースに出力する、請求項3記載のモデム用集積回路。

【請求項5】 前記RAMコントローラが、前記ハードウェア部のインタリーブRAMインタフェースから上位アドレスを入力およびデコードしインタリーブRAM用のバンク選択信号を出力する上位アドレスデコーダと、

前記ハードウェア部のインタリーブRAMインタフェースから書込制御信号を入力し前記バンク選択信号によりゲート制御しインタリーブRAM用のバンク書込制御信号をそれぞれ出力するゲート回路と、

前記ハードウェア部のインタリーブRAMインタフェースからデータを入力し接続切替信号により前記インストラクションRAMの1部バンクに切り替え出力するマルチプレクサと、

前記ハードウェア部のインタリーブRAMインタフェースおよび前記ゲート回路からアドレスおよび前記バンク書込制御信号を入力し前記接続切替信号により前記インストラクションRAMの1部バンクに切り替え出力するマルチプレクサと

前記インストラクションRAMの1部バンクのデータ出力を前記バンク選択信号により選択して前記ハードウェア部のインタリーブRAMインタフェースに出力するセレクタとを備える、請求項4記載のモデム用集積回路。

【請求項6】 前記RAMコントローラが、前記CPUによりコマンドが設定される制御用レジスタを備え、この制御用レジスタの内容に対応して前記接続切替信号を生成する、請求項5記載のモデム用集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はモデム用集積回路に関し、特に、外部インストラクションROMのキャッシュメモリとして動作する複数バンク構成のインストラクションRAMを備えるモデム用集積回路に関する。

【0002】

【従来の技術】

従来、この種のモデム用集積回路は、ADSL (Asymmetric Digital Subscriber Line) 通信方式などの高速データ通信用のモデムに用いられている。たとえば、図4は、この従来のモデム用集積回路の構成例を示すブロック図である。

【0003】

図4を参照すると、この従来のモデム用集積回路は、ハードウェア部1、インストラクションRAM2、CPU3、ワークRAM4、RAMコントローラ5を備える。

【0004】

ハードウェア部1は、フレーミング回路11、誤り訂正回路12、インタリーブ回路13、インタリーブRAM14、デジタル信号処理回路15を備え、外部に接続されるD/AまたはA/D変換器と機器との間で、送受信データに対しベースバンド処理、デジタル変復調を行う。フレーミング回路11は、送受信データに対しADSL規格のデータ形式でフレーミングまたはデフレーミングを行い、誤り訂正回路12は、送受信データに対し誤り訂正符号の付加または誤り訂正を行い、インタリーブ回路13は、送受信データに対しインタリーブまたはデインタリーブを行い、インタリーブRAM14は、インタリーブ回路13によりアクセスされるインタリーブ処理用のメモリであり、デジタル信号処理回路15は、送受信データに対しデジタル変調またはデジタル復調を行う。

【0005】

インストラクションRAM2は、1Kワード×8バンク構成のメモリであり、外部に接続された外部インストラクションROMからインストラクションをバンク単位でプリフェッチして外部インストラクションROMのキャッシュメモリとして動作する。

【0006】

CPU3は、外部インストラクションROMからインストラクションRAM2にプリフェッチされたインストラクションを実行し、ハードウェア部1を制御し、ワークRAM4は、ワーキング用にアクセスされるメモリである。

【0007】

RAMコントローラ5は、プリフェッチ制御回路、制御用レジスタを備える。プリフェッチ制御回路は、外部インストラクションROMからインストラクションRAM2にインストラクションをバンク単位でプリフェッチさせてインストラクションRAM2を外部インストラクションROMのキャッシュメモリとして動作させる制御を行う。また、制御用レジスタはCPU3によりコマンドが設定さ

れ、この設定内容に対応してRAMコントローラ5内の制御が行われる。

【0008】

この従来のモデム用集積回路において、外部インストラクションROMに格納されたインストラクションが、RAMコントローラ5によりインストラクションRAM2にバンク単位でプリフェッチされ、インストラクションRAM2にプリフェッチされたインストラクションが、CPU3により実行され、ハードウェア部1が制御される。このとき、インストラクションRAM2は、外部インストラクションROMのキャッシュメモリとして動作し、CPU3は、外部インストラクションROMに対するアクセス時間でなく、インストラクションRAM2に対するアクセス時間で、インストラクションを高速に実行でき、ハードウェア部1を制御する処理を高速に行うことができる。

【0009】

また、ハードウェア部1においても、フレーミング、誤り訂正、インタリーブなどのベースバンド処理およびデジタル変復調が、各回路11～15により、送受信データに対してそれぞれ並列処理される。

【0010】

これらインストラクションRAMのキャッシュ動作と、ハードウェア部における並列処理とにより、ADSLモデムなどの高速通信用モデムが実現されている。

【0011】

【発明が解決しようとする課題】

この従来のモデム用集積回路では、インストラクションRAMのキャッシュ動作と、ハードウェア部における並列処理とを行うため、集積規模が大きく回路面積が大きいという問題がある。また、他社製品との競争上、常に、コストダウンが要求されている。

【0012】

したがって、本発明の目的は、モデム用集積回路の回路面積を縮小し、コストダウンすることにある。

【0013】

【課題を解決するための手段】

そのため、本発明は、送受信データに対しエラー訂正処理、インタリーブ処理、デジタル信号処理を行うハードウェア部と、複数バンクから構成され外部インストラクションROMのキャッシュメモリとして動作するインストラクションRAMと、このインストラクションRAMにプリフェッチされたインストラクションを実行し前記ハードウェア部を制御するCPUとを備えるモデム用集積回路において、

前記CPUおよび前記ハードウェア部が前記インストラクションRAMの1部バンクを時分割共有している。

【0014】

また、データ送受信中に、前記ハードウェア部が前記インストラクションRAMの1部バンクをインタリーブ処理用のメモリとして分割使用している。

【0015】

また、前記外部インストラクションROMから前記インストラクションRAMにインストラクションをバンク単位でプリフェッチさせて前記インストラクションRAMを前記外部インストラクションROMのキャッシュメモリとして動作させる制御を行い且つ前記インストラクションRAMの1部バンクを前記CPUおよび前記ハードウェア部に時分割共有させる制御を行うRAMコントローラを備えている。

【0016】

また、前記RAMコントローラが、前記ハードウェア部のインタリーブRAMインタフェースからデータ、アドレスおよび書込制御信号を入力しデータ送受信中に前記インストラクションRAMの1部バンクに切り替え出力し、前記インストラクションRAMの1部バンクのデータ出力を選択して前記ハードウェア部のインタリーブRAMインタフェースに出力している。

【0017】

また、前記RAMコントローラが、前記ハードウェア部のインタリーブRAMインタフェースから上位アドレスを入力およびデコードしインタリーブRAM用のバンク選択信号を出力する上位アドレスデコーダと、

前記ハードウェア部のインタリーブRAMインタフェースから書込制御信号を入力し前記バンク選択信号によりゲート制御しインタリーブRAM用のバンク書込制御信号をそれぞれ出力するゲート回路と、

前記ハードウェア部のインタリーブRAMインタフェースからデータを入力し接続切替信号により前記インストラクションRAMの1部バンクに切り替え出力するマルチプレクサと、

前記ハードウェア部のインタリーブRAMインタフェースおよび前記ゲート回路からアドレスおよび前記バンク書込制御信号を入力し前記接続切替信号により前記インストラクションRAMの1部バンクに切り替え出力するマルチプレクサと

、
前記インストラクションRAMの1部バンクのデータ出力を前記バンク選択信号により選択して前記ハードウェア部のインタリーブRAMインタフェースに出力するセクタとを備えている。

【0018】

また、前記RAMコントローラが、前記CPUによりコマンドが設定される制御用レジスタを備え、この制御用レジスタの内容に対応して前記接続切替信号を生成している。

【0019】

【発明の実施の形態】

次に、本発明について図面を参照して説明する。

【0020】

図1は、本発明のモデム用集積回路の実施形態を示すブロック図である。

【0021】

図1を参照すると、本実施形態のモデム用集積回路は、図4に示した従来のモデム用集積回路と同じく、ハードウェア部1、インストラクションRAM2、CPU3、ワークRAM4、RAMコントローラ5を備える。従来のモデム用集積回路と異なる構成点は、ハードウェア部1がインタリーブRAMを備えず、RAMコントローラ5がハードウェア部1のインタリーブ回路13のインタリーブRAMインタフェースと接続することにある。このRAMコントローラ5以外の各部

ブロック 2 ～ 4, 1 1 ～ 1 3, 1 5 は、従来のモデム用集積回路の各ブロックと同じであるので、重複説明を省略する。

【 0 0 2 2 】

R A M コントローラ 5 は、外部インストラクション R O M からインストラクション R A M 2 にインストラクションをバンク単位でプリフェッチさせてインストラクション R A M 2 を外部インストラクション R O M のキャッシュメモリとして動作させる制御を行い、且つ、インストラクション R A M 2 の 1 部バンクを C P U 2 およびハードウェア部 1 に時分割共有させる制御を行う。

【 0 0 2 3 】

図 2 は、この R A M コントローラ 5 およびインストラクション R A M 2 の詳細構成例を示す回路図である。

【 0 0 2 4 】

図 2 を参照すると、この R A M コントローラ 5 は、プリフェッチ制御回路により、従来と同じく、外部インストラクション R O M からインストラクション R A M 2 にインストラクションをバンク単位でプリフェッチさせてインストラクション R A M 2 を外部インストラクション R O M のキャッシュメモリとして動作させる制御を行い、且つ、C P U 3 の制御により活性化される接続切替信号により、インストラクション R A M 2 のバンク 4 ～ 7 をハードウェア部 1 のインタリーブ R A M インタフェースに切り替える接続制御を行う。

【 0 0 2 5 】

この切り替え接続制御のための主なブロックとして、ハードウェア部 1 のインタリーブ R A M インタフェースから上位アドレスを入力およびデコードしインタリーブ R A M 用のバンク選択信号を出力する上位アドレスデコーダと、ハードウェア部 1 のインタリーブ R A M インタフェースから書込制御信号を入力し上位アドレスデコーダのバンク選択信号によりゲート制御しインタリーブ R A M 用のバンク書込制御信号をそれぞれ出力するゲート回路と、ハードウェア部 1 のインタリーブ R A M インタフェースからデータを入力し接続切替信号によりインストラクション R A M 2 のバンク 4 ～ 7 に切り替え出力するマルチプレクサと、ハードウェア部 1 のインタリーブ R A M インタフェースおよびゲート回路からアドレス

および各バンク書込制御信号を入力し接続切替信号によりインストラクションRAM 2のバンク4～7に切り替え出力するマルチプレクサと、インストラクションRAM 2のバンク4～7のデータ出力を上位アドレスデコーダのバンク選択信号により選択してハードウェア部1のインタリーブRAMインタフェースに出力するセクタとを備える。

【 0 0 2 6 】

図3は、この実施形態のモデム用集積回路におけるRAMコントローラ5の動作を説明するための説明図であり、RAMコントローラ5内におけるインストラクションRAM 2の各バンクの接続状態を模式的に示す。図3を参照して、この実施形態のモデム用集積回路の動作を説明する。

【 0 0 2 7 】

まず、ADSLモデムなどでは、データ送受信を開始する前に、通信を行うモデム間で次の初期化シーケンス処理を実行する。

- (1) 基本的な通信パラメータの交換
- (2) 変復調処理を行うデジタル信号処理回路内の各種等化器のトレーニング
- (3) 回線品質 (S/N比) の測定
- (4) 伝送に使用するビット配置, 伝送量の決定および交換

これらの初期化シーケンス処理を行うために、モデム用集積回路におけるCPU 2は、決められた時間内にハードウェア部1のデジタル信号処理回路15の制御を行い、ハードウェア部1のデジタル信号処理回路15から受信信号を読み出し、各種計算を行う。

【 0 0 2 8 】

この初期化シーケンス処理では、データ送受信しないため、ハードウェア部1のインタリーブ回路13は動作せず、インタリーブRAMを必要としない。一方、CPU 3が実行する処理量が多い。このため、図3 (A) に示すように、RAMコントローラ5において、従来と同じく、インストラクションRAM 2の全バンクがCPUバスまたはプリフェッチ制御回路とインタフェースし、インストラクションRAM 2の全バンクがキャッシュメモリとして動作する。

【 0 0 2 9 】

また、データ送受信を開始した後は、モデム用集積回路におけるCPU2は、ハードウェア部1における送受信の異常を検知するためモニタ処理を主に行う。

【0030】

このモニタ処理では、データ送受信中であるため、ハードウェア部1のインタリーブ回路13が動作し、インタリーブRAMを必要とする。一方、CPU3が実行する処理量は、上述の初期化シーケンス処理より少ない。このため、たとえば、図3(B)に示すように、RAMコントローラ5において、CPU3の制御により接続切替信号が活性化され、インストラクションRAM2のバンク4～7がハードウェア部1のインタリーブRAMインタフェースに切り替え接続される。また、インストラクションRAM2のバンク0～3は、CPUバスまたはプリフェッチ制御回路とインタフェースし、キャッシュメモリとして動作する。

【0031】

上述のように、本実施形態のモデム用集積回路は、従来と同じく、インストラクションRAMのキャッシュ動作と、ハードウェア部における並列処理とを行い、従来と同機能・同性能であり、使用RAM容量を削減でき、ADSLモデムなどの高速通信用モデムが実現できる。

【0032】

【発明の効果】

以上説明したように、本発明によるモデム用集積回路は、従来と同一機能・同一性能で、使用RAM容量を削減でき、低コストで製造できるなどの効果がある。

【0033】

その理由は、外部インストラクションROMのキャッシュメモリとして動作するインストラクションRAMの1部バンクをデータ送受信中にインタリーブRAMとして分割使用するためである。

【図面の簡単な説明】

【図1】

本発明のモデム用集積回路の実施形態を示すブロック図である。

【図2】

図1のモデム用集積回路におけるRAMコントローラ5およびインストラクションRAM2の詳細構成例を示す回路図である。

【図3】

図1のモデム用集積回路におけるRAMコントローラ5の動作を説明するための説明図である。

【図4】

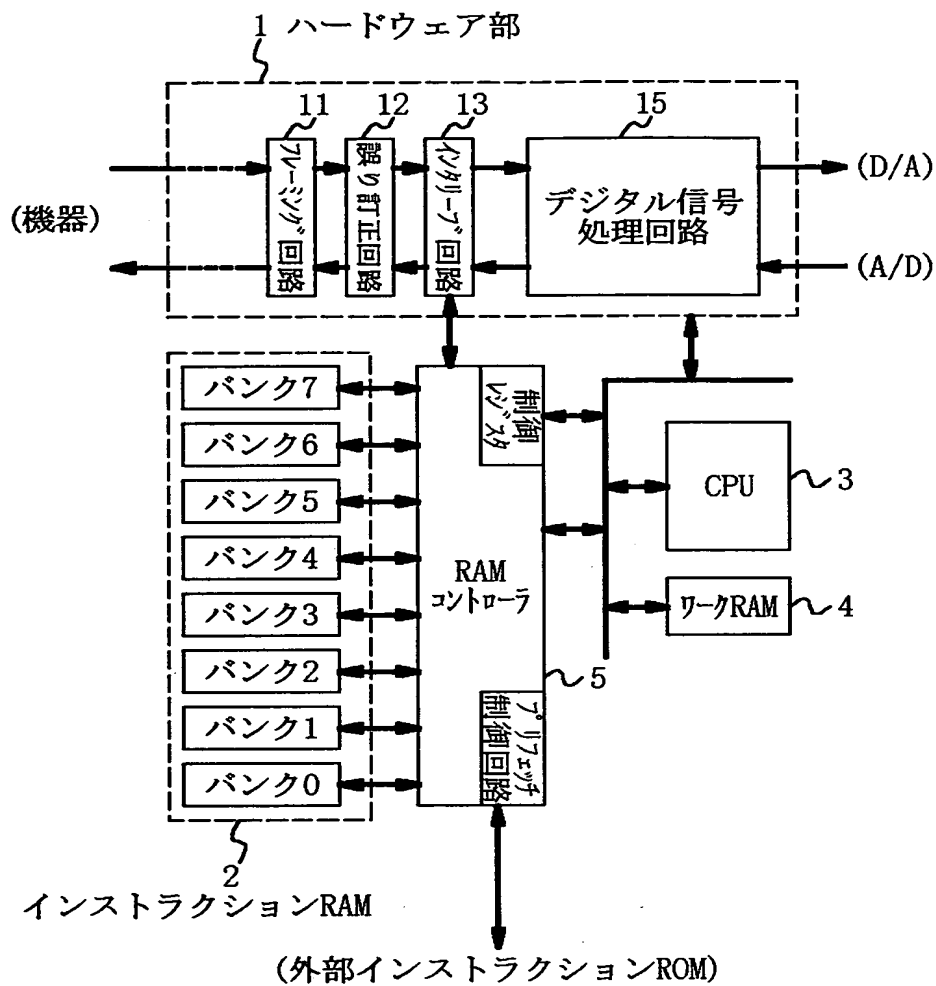
従来のモデム用集積回路の構成例を示すブロック図である。

【符号の説明】

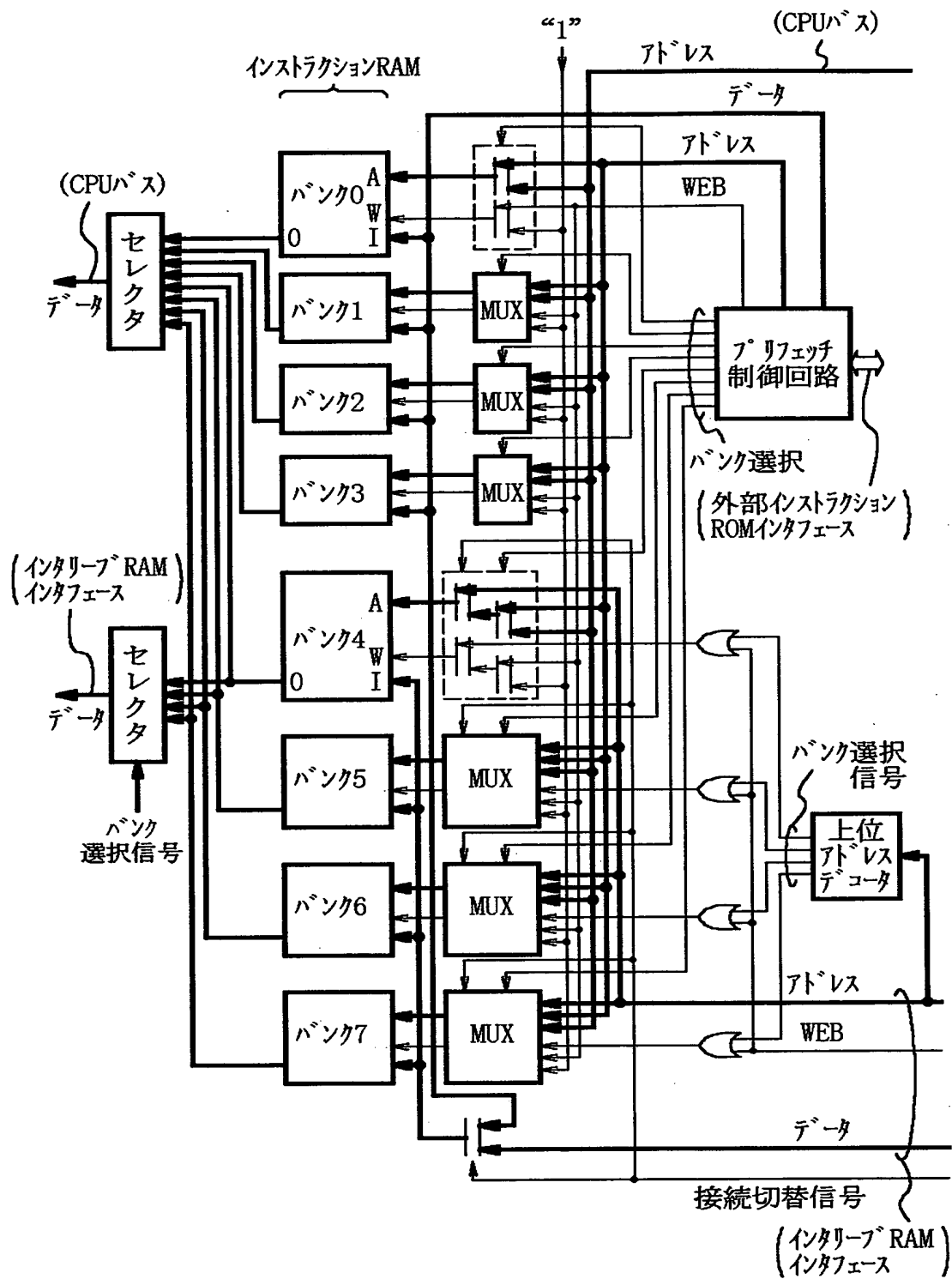
- 1 ハードウェア部
- 2 インストラクションRAM
- 3 CPU
- 4 ワークRAM
- 5 RAMコントローラ
- 11 フレーミング回路
- 12 誤り訂正回路
- 13 インタリーブ回路
- 14 インタリーブRAM
- 15 デジタル信号処理回路

【書類名】 図面

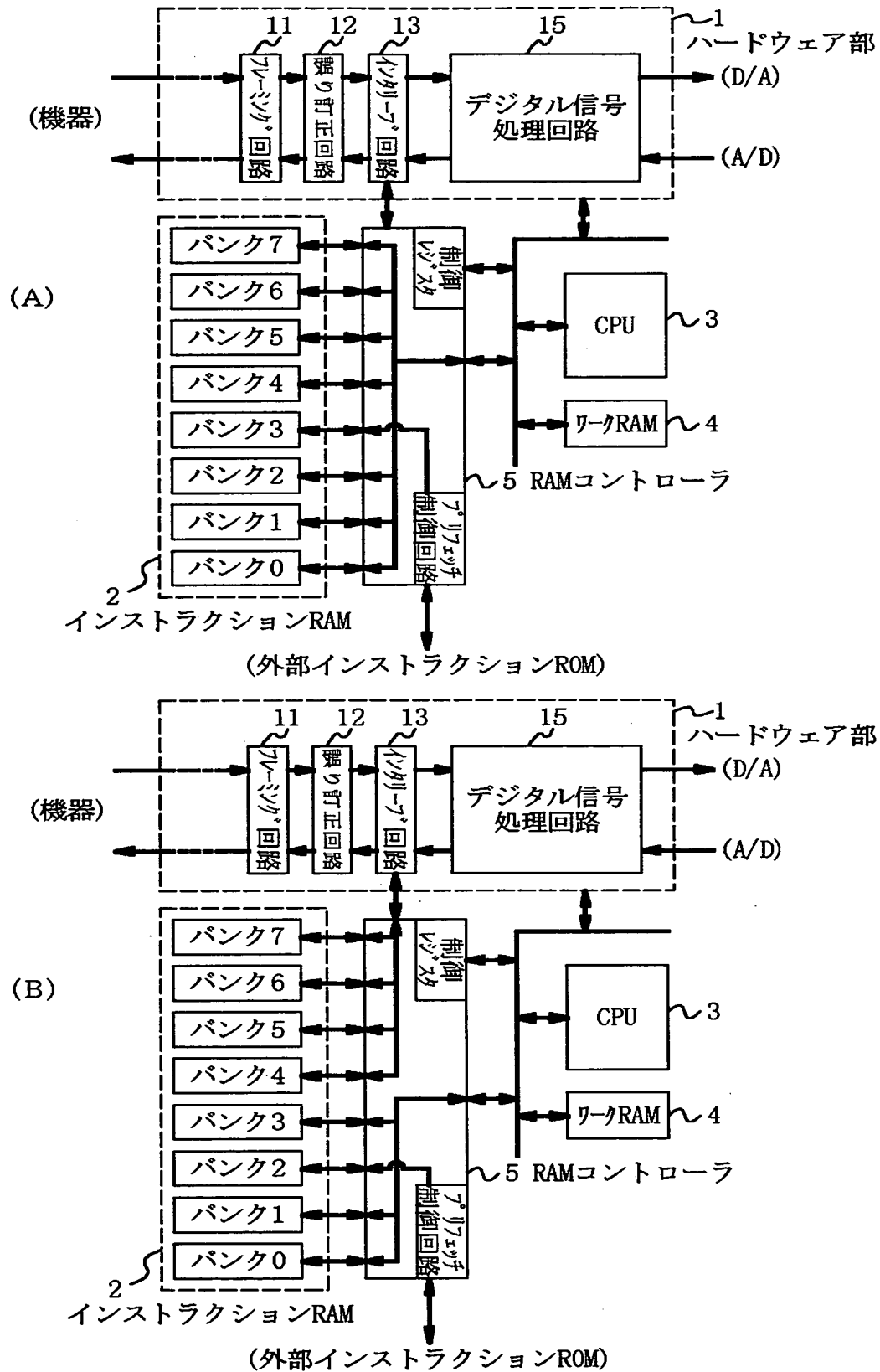
【図 1】



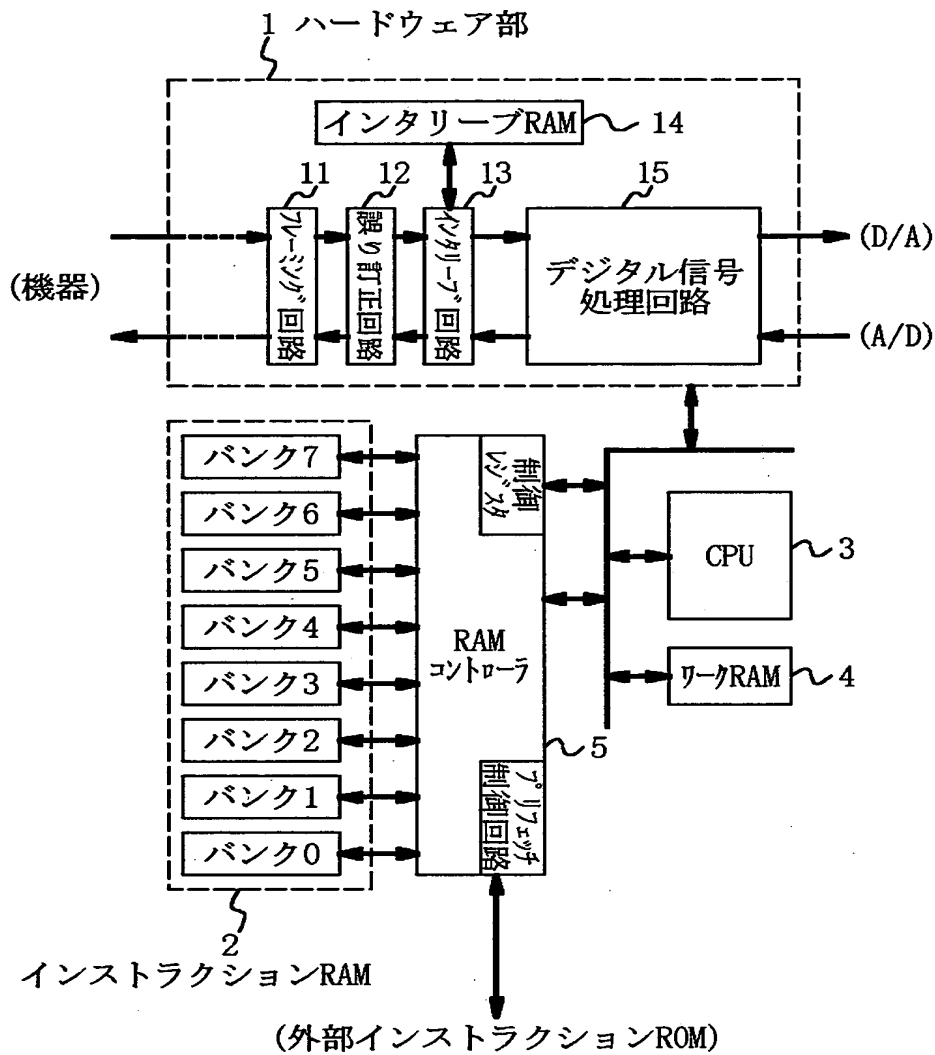
【図2】



【図3】



【図 4】



【書類名】 要約書

【要約】

【課題】 モデム用集積回路の回路面積を縮小し、コストダウンする。

【解決手段】 RAMコントローラ 5 が、外部インストラクションROMからインストラクションRAM 2 にインストラクションをバンク単位でプリフェッチさせてインストラクションRAM 2 を外部インストラクションROMのキャッシュメモリとして動作させる制御を行い、且つ、インストラクションRAM 2 の 1 部バンクをCPU 3 およびハードウェア部 1 に時分割共有させる制御を行う。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-170327
受付番号	50000705344
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年 6月 8日

<認定情報・付加情報>

【提出日】	平成12年 6月 7日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社